

**Family list****9 family members for:****JP2000259099**

Derived from 6 applications.

- 1 Active matrix baseboard, photo-electric apparatus and method for producing active matrix base board**  
Publication info: CN1133889C C - 2004-01-07  
CN1269520 A - 2000-10-11
- 2 ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND MANUFACTURE OF ACTIVE MATRIX SUBSTRATE**  
Publication info: JP3702696B2 B2 - 2005-10-05  
JP2000259099 A - 2000-09-22
- 3 ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND MANUFACTURE OF ACTIVE MATRIX SUBSTRATE**  
Publication info: JP2000258803 A - 2000-09-22
- 4 No English title available**  
Publication info: TW498553 B - 2002-08-11
- 5 Active matrix substrate, electrooptical device, and method of producing active matrix substrate**  
Publication info: US6614053 B1 - 2003-09-02
- 6 Active matrix substrate, electrooptical device, and method of producing active matrix substrate**  
Publication info: US6767772 B2 - 2004-07-27  
US2004005741 A1 - 2004-01-08

---

Data supplied from the *esp@cenet* database - Worldwide

# ACTIVE MATRIX SUBSTRATE, ELECTRO-OPTICAL DEVICE, AND MANUFACTURE OF ACTIVE MATRIX SUBSTRATE

Patent number: JP2000259099

Publication date: 2000-09-22

Inventor: TAKENAKA SATOSHI

Applicant: SEIKO EPSON CORP

Classification:

- International: G02F1/136; G02F1/1368; G09F9/30; G09G3/38; H01L27/12; H01L29/786; H01L21/66; G02F1/13; G09F9/30; G09G3/34; H01L27/12; H01L29/66; H01L21/66; (IPC1-7): G09F9/30; G02F1/136; G09G3/38; H01L21/66; H01L27/12; H01L29/786

- european:

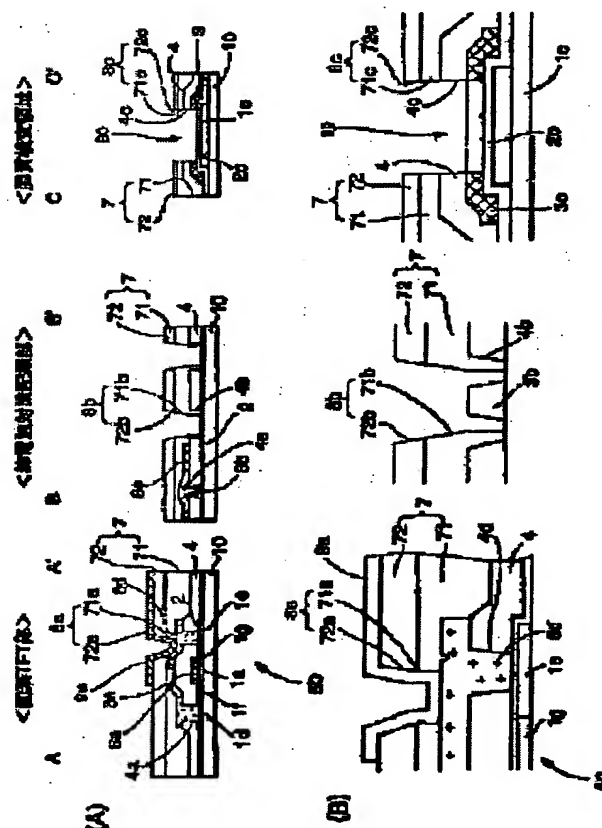
Application number: JP19990065220 19990311

Priority number(s): JP19990065220 19990311

Report a data error here

## Abstract of JP2000259099

**PROBLEM TO BE SOLVED:** To make it possible to inspect the film quality such as distribution of impurities at the interface between a gate insulating film and a channel area of a transistor when an inspection is carried out in a film quality inspection area, by forming a film quality inspection area where a film quality inspection semiconductor film and a film quality inspection insulating film are laminated which are the same layers as the channel area and the gate insulating film of the transistor respectively. **SOLUTION:** On this active matrix substrate, rectangular film quality inspection areas 80 having approximately 1 mm sides each are formed at the corner parts where an image display area, a scanning line driving circuit, a data line driving circuit, signal wiring, etc., are not formed. In these film quality inspection areas 80, film inspection parts are formed, which are lamination of a film quality inspection semiconductor film 1c and a film quality inspection insulating film 2c of the same layers as a channel area 1a and a gate insulating film 2 of a TFT 50, respectively. This film quality inspection insulating film 2c is exposed from an opening part 8c (opening parts 4c, 71c, 72c) of each interlayer insulating film 4, 71, 72 formed on the film inspection area side.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-259099

(P 2 0 0 0 - 2 5 9 0 9 9 A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マ-コ-ト (参考)
G09F 9/30	338	G09F 9/30	338 2H092
G02F 1/136	500	G02F 1/136	500 4M106
G09G 3/38		G09G 3/38	5C080
H01L 21/66		H01L 21/66	Y 5C094 Z 5F110

審査請求 未請求 請求項の数10 O L (全16頁) 最終頁に続く

(21) 出願番号 特願平11-65220

(22) 出願日 平成11年3月11日 (1999.3.11)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 竹中 敏

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

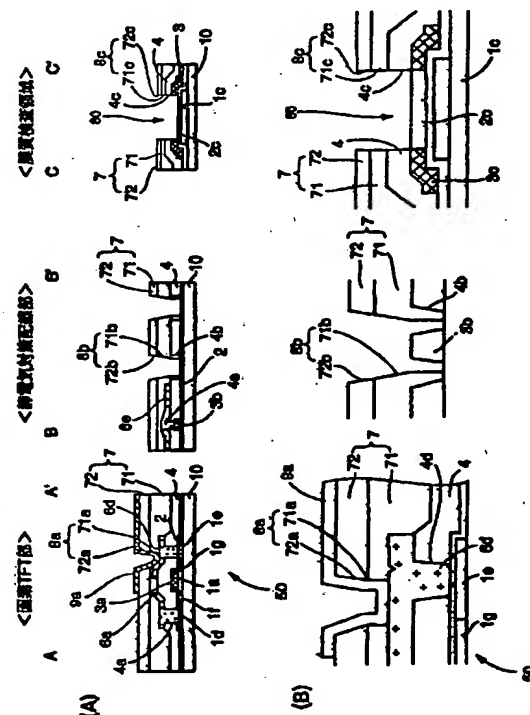
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板、電気光学装置、およびアクティブマトリクス基板の製造方法

## (57) 【要約】

【課題】 トランジスタの膜質を容易に、かつ、正確に検査することのできるアクティブマトリクス基板、それを用いた電気光学装置、およびアクティブマトリクス基板の製造方法を提供すること。

【解決手段】 アクティブマトリクス基板200において、画素部11、走査線駆動回路70、データ線駆動回路60、信号配線74、77などが形成されていない部分には1mm角の膜質検査領域80が形成されている。この膜質検査領域80では、TFT50のチャネル領域1aおよびゲート絶縁膜2とそれぞれ同層の膜質検査用半導体膜1c (シリコン膜) および膜質検査用絶縁膜2c (シリコン酸化膜) が積層され、この膜質検査用絶縁膜2cは層間絶縁膜4、71、72の開口部8cから露出しているため、すぐに膜質の分析を行うことができる。



## 【特許請求の範囲】

【請求項 1】 基板上にトランジスタおよび信号配線が形成されたアクティブマトリクス基板において、前記基板上における前記トランジスタおよび前記信号配線が形成されていない領域の少なくとも一か所に、前記トランジスタのチャネル領域およびゲート絶縁膜とそれぞれ同層の膜質検査用半導体膜および膜質検査用絶縁膜が積層された膜質検査部が形成されてなることを特徴とするアクティブマトリクス基板。

【請求項 2】 請求項 1 において、前記膜質検査部が形成された膜質検査領域が、前記トランジスタより上層に形成された層間絶縁膜と同層の検査領域側絶縁膜の開口部から露出していることを特徴とするアクティブマトリクス基板。

【請求項 3】 請求項 1 において、前記膜質検査領域は、前記トランジスタのチャネル領域よりも大きな面積を有していることを特徴とするアクティブマトリクス基板。

【請求項 4】 請求項 1 又は 3 のいずれかにおいて、前記膜質検査領域は、1 mm<sup>2</sup> 以上の面積を有していることを特徴とするアクティブマトリクス基板。

【請求項 5】 請求項 1 ないし 4 のいずれかにおいて、前記膜質検査用半導体膜は、前記開口部の形成領域を含む領域に形成されていることを特徴とするアクティブマトリクス基板。

【請求項 6】 請求項 1 ないし 5 のいずれかにおいて、前記膜質検査用半導体膜は、前記開口部の内側に形成されていることを特徴とするアクティブマトリクス基板。

【請求項 7】 請求項 1 ないし 6 のいずれかにおいて、前記トランジスタは薄膜トランジスタであり、前記基板上には、当該薄膜トランジスタのゲート電極と同層の走査線、データ線、および該薄膜トランジスタに接続する画素電極が形成されている画像表示領域と、前記走査線および前記データ線に信号出力する走査線駆動回路およびデータ線駆動回路と、該駆動回路に信号を供給する複数の前記信号配線とが形成され、前記膜質検査領域は、前記基板上における前記画像表示領域、前記走査線駆動回路、前記データ線駆動回路、前記信号配線が形成されていない領域の少なくとも一か所に形成されていることを特徴とするアクティブマトリクス基板。

【請求項 8】 請求項 7 に規定するアクティブマトリクス基板と、対向基板との間に電気光学物質が挟持されていることを特徴とする電気光学装置。

【請求項 9】 請求項 1 ないし 7 のいずれかに規定するアクティブマトリクス基板の製造方法において、前記トランジスタのチャネル領域およびゲート絶縁膜を形成する際に前記膜質検査領域とすべき領域に対して前記膜質検査用半導体膜および前記膜質検査用絶縁膜を形成する工程と、

前記トランジスタのゲート電極を形成するとともに前記膜質検査領域にも導電膜を同時に形成する工程と、所定のマスクを介して不純物を導入して前記トランジスタのソース・ドレイン領域を形成する工程と、前記ゲート電極の表面側に前記層間絶縁膜を形成するとともに前記検査領域側には前記導電膜の表面側に前記検査領域側絶縁膜を同時に形成する工程と、前記層間絶縁膜に前記トランジスタに対するコンタクトホールを形成するとともに前記膜質検査領域に前記開口部を同時に形成して前記導電膜を露出させる工程と、前記開口部を介して前記導電膜をエッチング除去することにより前記開口部から前記膜質検査用絶縁膜を露出させる工程、とを少なくとも有することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 10】 請求項 7 に規定するアクティブマトリクス基板の製造方法において、前記薄膜トランジスタのチャネル領域およびゲート絶縁膜を形成する際に前記膜質検査領域とすべき領域に対して前記膜質検査用半導体膜および前記膜質検査用絶縁膜を形成する工程と、前記走査線および前記データ線の少なくともいずれかの配線同士を電気的に接続するための短絡用配線を前記ゲート電極および前記走査線と同時に形成するとともに前記膜質検査領域にも導電膜を同時形成する工程と、所定のマスクを介して不純物を導入して前記薄膜トランジスタのソース・ドレイン領域を形成する工程と、前記ゲート電極および前記走査線の表面側に前記層間絶縁膜を形成するとともに前記検査領域側には前記導電膜の表面側に前記検査領域側絶縁膜を同時に形成する工程と、前記層間絶縁膜に前記短絡用配線の切断予定部分を露出させる切断用孔を前記薄膜トランジスタに対するコンタクトホールと同時に形成するとともに前記膜質検査領域に前記開口部を同時に形成して前記導電膜を露出させる工程と、前記切断用孔を介して前記短絡用配線を前記切断予定部分でエッチングにより切断するとともに前記開口部を介して前記導電膜を同時にエッチング除去することにより当該開口部から前記膜質検査用絶縁膜を露出させる工程、とを少なくとも有することを特徴とするアクティブマトリクス基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、アクティブマトリクス基板、このアクティブマトリクス基板を用いた電気光学装置、およびアクティブマトリクス基板の製造方法に関するものである。さらに詳しくは、トランジスタを構成する膜の膜質検査を行うための膜質検査領域の形成技術に関するものである。

## 【0002】

【従来の技術】基板上にトランジスタおよび信号配線が形成されたアクティブマトリクス基板の代表的なものとしては、電気光学装置に用いられるアクティブマトリクス基板がある。このアクティブマトリクス基板のうち、駆動回路内蔵型のものであれば、絶縁基板上に配列された複数の走査線と複数のデータ線との交差点に対応して複数の画素がマトリクス状に構成されている。各々の画素には、走査線およびデータ線に接続する画素スイッチング用の薄膜トランジスタ（以下、TFTという。）と、画素電極とが形成されている。絶縁基板上における画素部の外側領域には、複数のデータ線のそれぞれに画像信号を供給するデータ線駆動回路と、複数の走査線のそれぞれに走査信号を供給する走査線駆動回路とが構成されている。これらの駆動回路は複数のTFTによって形成されている。

【0003】これらのTFTのうち、たとえば、画素スイッチング用のTFT50は、図6（A）、（B）に示すように、走査線と同時形成されたゲート電極3aと、データ線30の一部としてのソース電極6aが第1の層間絶縁膜4の第1のコンタクトホール4aを介して電気的に接続するソース領域1f、1dと、データ線30と同時形成されたアルミニウム膜などから構成されたドレイン電極6dが第1の層間絶縁膜4の第2のコンタクトホール4dを介して電気的に接続するドレイン領域1g、1eとを有している。第1の層間絶縁膜4の上層側には第2の層間絶縁膜7が形成されており、この第2の層間絶縁膜7に形成された第3のコンタクトホール8aを介しては、画素電極9aがドレイン電極6dに対して電気的に接続している。このような構造は、基本的に、駆動回路に形成されているTFTも同様である。

【0004】ここで、アクティブマトリクス基板200は、半導体プロセスを利用してTFT50などを形成した後、各種の検査が行われ、この検査において、不具合と判定されたものについては各種の解析が行われ、その結果がフィードバックされる。たとえば、TFT50に対してゲート絶縁膜2とチャネル領域1aの界面の不純物分布などといった膜質を検査する場合には、画素スイッチング用あるいは駆動回路用のTFT50に対して表面側からラスターを行い、第2の層間絶縁膜7、第1の層間絶縁膜4、ゲート電極3aをこの順に除去して、チャネル領域1aの表面側でゲート絶縁膜2を露出させ、しかる後に、SIMS（二次イオン質量分析）による元素分析を行う。

## 【0005】

【発明が解決しようとする課題】しかしながら、ゲート絶縁膜2とチャネル領域1aの界面の不純物分布などといった膜質を検査する際に、従来のように、第2の層間絶縁膜7、第1の層間絶縁膜4、ゲート電極3aを除去していく方法では、その除去にかなりの時間を要すると

という問題点がある。すなわち、検査対象となる部分の膜厚はたとえば、500オングストロームから1000オングストローム程度の厚さであるにもかかわらず、その膜質検査を行うまでに1 $\mu$ mもある層間絶縁膜を除去した後、4000オングストロームのゲート電極3aを除去する必要がある。また、このような時間をかけてラスターを行っても、TFT50のチャネル領域1aは、大きくても100 $\mu$ m角程度と小さいので、精度の高い調査を行うことができないという問題点がある。さらに、このような狭い領域では、ラマン散乱分析などを利用してチャネル領域1aの結晶化度までは検査できないという問題点がある。

【0006】以上の問題点に鑑みて、本発明の課題は、TFTなどといったトランジスタの膜質を容易に、かつ、正確に検査することのできるアクティブマトリクス基板、およびそれを用いた電気光学装置を提供することにある。

【0007】また、本発明の課題は、トランジスタのチャネル領域およびゲート絶縁膜と同様な履歴を経た膜質検査領域を形成することにより、より正確な膜質検査を可能とするアクティブマトリクス基板の製造方法を提供することにある。

【0008】さらに、本発明の課題は、工程数を増やすことなく、膜質検査領域を形成することのできるアクティブマトリクス基板の製造方法を提供することにある。

## 【0009】

【課題を解決するための手段】上記課題を解決するために、本発明では、基板上にトランジスタおよび信号配線が形成されたアクティブマトリクス基板において、前記基板上における前記トランジスタおよび前記信号配線が形成されていない領域の少なくとも一か所では、前記トランジスタのチャネル領域およびゲート絶縁膜とそれぞれ同層の膜質検査用半導体膜および膜質検査用絶縁膜が積層された膜質検査部が形成されてなることを特徴とする。なお、本願明細書におけるMIS（Metal Insulator Semiconductor）トランジスタを用いた例により説明するが、MISトランジスタはゲート電極が金属に限らず、導電化シリコンなどを用いたものも含む。特に、前記膜質検査部が形成された膜質検査領域が、前記トランジスタより上層に形成された層間絶縁膜と同層の検査領域側絶縁膜の開口部から露出していることを特徴とする。

【0010】本発明では、トランジスタのチャネル領域およびゲート絶縁膜とそれぞれ同層の膜質検査用半導体膜および膜質検査用絶縁膜がこの順に積層された膜質検査領域が形成されているので、この膜質検査領域で検査を行えば、トランジスタのゲート絶縁膜とチャネル領域の界面の不純物分布などといった膜質を検査することができる。ここで、膜質検査領域は、層間絶縁膜と同層の検査領域側絶縁膜の開口部から露出しているので、すぐ

に検査に取りかかることができ、トランジスタ側で検査する場合と違って、層間絶縁膜やゲート電極を除去する必要がない。それ故、膜質検査を迅速、かつ容易に行うことができる。また、膜質検査領域であれば大きく形成しても、トランジスタのトランジスタ特性などに影響を及ぼさない。従って、大きな膜質検査領域を形成することにより、SIMSによる膜質検査を高い精度で行うことができる。

【0011】しかも、前記膜質検査領域は、トランジスタのチャンネル領域と比較してかなり大きな面積、たとえば、約1mm<sup>2</sup>以上の面積を有するように形成すると、SIMSによる元素検査に加えて、ラマン散乱分析などを利用して膜質検査用半導体膜（チャンネル領域）の結晶化度も検査できる。それ故、アモルファス半導体膜に対して結晶化処理を行って得た多結晶性半導体膜から薄膜トランジスタなどのトランジスタを形成した場合に、効果的な検査を行うことができる。

【0012】本発明において、前記膜質検査用半導体膜は、前記開口部の形成領域を含む領域に形成される場合がある。また、前記膜質検査用半導体膜は、前記開口部の内側領域に形成される場合もある。

【0013】本発明において、トランジスタが薄膜トランジスタであれば、前記基板上に、当該薄膜トランジスタのゲート電極と同層の走査線、およびデータ線に接続する画素スイッチング用の薄膜トランジスタ、および該薄膜トランジスタに接続してなる画素電極がマトリクス状に形成されている画素部と、前記走査線および前記データ線に信号出力する走査線駆動回路およびデータ線駆動回路と、該駆動回路に信号供給する複数の信号配線とを形成すれば、液晶表示装置などといった電気光学装置用のアクティブマトリクス基板を形成できる。すなわち、このアクティブマトリクス基板（アクティブマトリクス基板）と、対向電極が形成された対向基板との間に、液晶などの電気光学物質を挟持させれば液晶表示装置などといった電気光学装置を構成することができる。このような場合には、前記膜質検査領域は、前記基板上における前記画素部、前記走査線駆動回路、前記データ線駆動回路、前記信号配線が形成されていない領域の少なくとも一か所に形成されることになる。

【0014】このような構成のアクティブマトリクス基板を製造するにあたっては、前記トランジスタのチャンネル領域およびゲート絶縁膜を形成する際に前記膜質検査領域とすべき領域に対して前記膜質検査用半導体膜および前記膜質検査用絶縁膜をこの順に形成した以降、トランジスタのゲート電極を形成するとともに前記膜質検査領域にも導電膜を同時形成する工程と、所定のマスクを介して不純物を導入して前記トランジスタのソース・ドレイン領域を形成する工程と、前記ゲート電極の表面側に前記層間絶縁膜を形成するとともに前記検査領域側には前記導電膜の表面側に前記検査領域側絶縁膜を同時に

形成する工程と、前記層間絶縁膜に前記MISトランジスタに対するコンタクトホールを形成するとともに前記膜質検査領域に前記開口部を同時に形成して前記導電膜を露出させる工程と、前記開口部を介して前記導電膜をエッチング除去することにより前記開口部から前記膜質検査用絶縁膜を露出させる工程とを行う。

【0015】このような製造方法によれば、膜質検査用絶縁膜および膜質検査用半導体膜は、トランジスタのゲート絶縁膜およびチャンネル領域と略同様な履歴を辿ることになるので、膜質検査用絶縁膜および膜質検査用半導体膜を検査対象としたときでも、より高い精度で、トランジスタのゲート絶縁膜およびチャンネル領域の膜質を検査できる。

【0016】また、アクティブマトリクス基板の別の製造方法では、前記薄膜トランジスタのチャンネル領域およびゲート絶縁膜を形成する際に前記膜質検査領域とすべき領域に対して前記膜質検査用半導体膜および前記膜質検査用絶縁膜をこの順に形成した以降、前記走査線および前記データ線の少なくともいずれかの配線同士を電気的に接続するための短絡用配線を前記ゲート電極および前記走査線と同時に形成するとともに前記膜質検査領域にも導電膜を同時形成する工程と、所定のマスクを介して不純物を導入して前記薄膜トランジスタのソース・ドレイン領域を形成する工程と、前記ゲート電極および前記走査線の表面側に前記層間絶縁膜を形成するとともに前記検査領域側には前記導電膜の表面側に前記検査領域側絶縁膜を同時に形成する工程と、前記層間絶縁膜に前記短絡用配線の切断予定部分を露出させる切断用孔を前記薄膜トランジスタに対するコンタクトホールと同時に形成するとともに前記膜質検査領域に前記開口部を同時に形成して前記導電膜を露出させる工程と、前記切断用孔を介して前記短絡用配線を前記切断予定部分でエッチングにより切断するとともに前記開口部を介して前記導電膜を同時にエッチング除去することにより前記膜質検査領域で前記膜質検査用半導体膜および前記膜質検査用絶縁膜を露出させる工程とを行う。このような製造方法によれば、静電保護用の短絡線を切断する工程を利用して、膜質検査領域を露出させることができるので、工程数が増えることがない。

【0017】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。

【0018】【電気光学装置の全体構成】図1は、本形態に係る電気光学装置を対向基板の側からみた平面図である。図2は、図1のH-H'線で切断したときの電気光学装置の断面図である。

【0019】図1および図2に示すように、投射型表示装置などに用いられる電気光学装置300は、石英ガラスや耐熱ガラスなどの絶縁基板10の表面に画素電極9aがマトリクス状に形成されたアクティブマトリクス基

板200と、同じく石英ガラスや耐熱ガラスなどの絶縁基板41の表面に対向電極32が形成された対向基板100と、これらの基板間に電気光学物質として封入、挟持されている液晶39とから概略構成されている。アクティブマトリクス基板200と対向基板100とは、対向基板100の外周縁に沿って形成されたギャップ材含有のシール材59によって所定の隙間（セルギャップ）を介して貼り合わされている。また、アクティブマトリクス基板200と対向基板100の間には、ギャップ材含有のシール材59によって液晶封入領域40が区画形成され、この液晶封入領域40内に液晶39が封入されている。

【0020】対向基板100はアクティブマトリクス基板200よりも小さく、アクティブマトリクス基板200の周辺部分は、対向基板100の外周縁よりはみ出た状態に貼り合わされる。従って、アクティブマトリクス基板200の駆動回路（走査線駆動回路70やデータ線駆動回路60）や入出力端子45は対向基板100から露出した状態にある。ここで、シール材59は部分的に途切れているので、この途切れ部分によって、液晶注入口241が構成されている。このため、対向基板100とアクティブマトリクス基板200とを貼り合わせた後、シール材59の内側領域を減圧状態にすれば、液晶注入口241から液晶39を減圧注入でき、液晶39を封入した後、液晶注入口241を封止剤242で塞げばよい。なお、アクティブマトリクス基板200には、シール材59の形成領域の内側において、画面表示領域11を区切りするための遮光膜55が形成されている。また、対向基板100には、アクティブマトリクス基板200の各画素電極9aの境界領域に対応する領域に遮光膜57が形成されている。

【0021】また、対向基板100およびアクティブマトリクス基板200の光入射側の面あるいは光出射側には、ノーマリホワイトモード／ノーマリブラックモードの別に依じて、偏光板（図示せず。）などが所定の向きに配置される。

【0022】このように構成した電気光学装置300において、アクティブマトリクス基板200では、データ線（図示せず。）およびTFT50を介して画素電極9aに印加した画像信号によって、画素電極9aと対向電極32との間において液晶39の配向状態を画素毎に制御し、画像信号に対応した所定の画像を表示する。従って、アクティブマトリクス基板200では、データ線およびTFT50を介して画素電極9aに画像信号を供給するとともに、対向電極32にも所定の電位を印加する必要がある。そこで、電気光学装置300では、アクティブマトリクス基板200の表面のうち、対向基板100の各コーナ一部に対向する部分には、データ線などの形成プロセスを援用してアルミニウム膜などからなる上下導通用の第1の電極47が形成されている。一方、対

向基板100の各コーナ一部には、対向電極32の形成プロセスを援用してITO（Indium Tin Oxide）膜などからなる上下導通用の第2の電極48が形成されている。さらに、これらの上下導通用の第1の電極47と第2の電極48とは、エポキシ樹脂系の接着剤成分に銀粉や金メッキファイバーなどの導電粒子が配合された導通材56によって電氣的に導通している。それ故、電気光学装置300では、アクティブマトリクス基板200および対向基板100のそれぞれにフレキシブル配線基板などを接続しなくても、アクティブマトリクス基板200のみにフレキシブル配線基板99を接続するだけで、アクティブマトリクス基板200および対向基板100の双方に所定の信号を入力することができる。

【0023】〔アクティブマトリクス基板の全体構成〕図3は、電気光学装置300に用いたアクティブマトリクス基板の構成を模式的に示すブロック図である。

【0024】図3に示すように、本形態の駆動回路内蔵型のアクティブマトリクス基板200では、絶縁基板10上に、互いに交差する複数の走査線20と複数のデータ線30とに接続するTFT50が形成され、画素電極9aがマトリクス状に構成されている。走査線20はタンタル膜、アルミニウム膜、アルミニウムの合金膜などで構成され、データ線30はアルミニウム膜あるいはアルミニウム合金膜などで構成され、それぞれ単層もしくは積層されている。これらの画素電極9aが形成されている領域が画面表示領域11である。

【0025】絶縁基板10上における画面表示領域11の外側領域（周辺部分）には、複数のデータ線30のそれぞれに画像信号を供給するデータ線駆動回路60が構成されている。また、走査線20の両端部のそれぞれには、各々の走査線20に画素選択用の走査信号を供給する走査線駆動回路70が構成されている。

【0026】データ線駆動回路60には、X側シフトレジスタ回路、X側シフトレジスタ回路から出力された信号に基づいて動作するアナログスイッチとしてのTFTを備えるサンプルホールド回路651、6相に展開された各画像信号に対応する6本の画像信号線671などが構成されている。本例において、データ線駆動回路60は、前記のX側シフトレジスタ回路が4相で構成されており、入出力端子45を介して外部からスタート信号、クロック信号、およびその反転クロック信号がX側シフトレジスタ回路に供給され、これらの信号によってデータ線駆動回路60が駆動される。従って、サンプルホールド回路651は、前記のX側シフトレジスタ回路から出力された信号に基づいて各TFTが動作し、画像信号線671を介して供給される画像信号を所定のタイミングでデータ線30に取り込み、各画素電極9aに供給することが可能である。

【0027】一方、走査線駆動回路70には、端子を介



して外部からスタート信号、クロック信号、およびその反転クロック信号が供給され、これらの信号によって走査線駆動回路70が駆動される。

【0028】本形態のアクティブマトリクス基板200において、絶縁基板10の辺部分のうち、データ線駆動回路60の側の辺部分には定電源、変調画像信号（画像信号）、各種駆動信号などが入力されるアルミニウム膜等の金属膜、金属シリサイド膜、あるいはITO膜等の導電膜からなる多数の入出力端子45が構成され、これらの入出力端子からは、走査線駆動回路60およびデータ線駆動回路70を駆動するためのアルミニウム膜などの低抵抗の金属膜からなる複数の信号配線74、77がそれぞれ引き回されている。また、信号配線74、77の途中位置には、後述する静電保護回路65、75が形成されている。

【0029】〔画素およびTFTの構造〕図4は、図3に示すアクティブマトリクス基板の画素部のコーナー部分を拡大して示す平面図である。図5は、図3に示すアクティブマトリクス基板の画素の等価回路図である。図6(A)、(B)はそれぞれ、図4の画素TFT部のA-A'線、図7の静電気対策部のB-B'線、図1を参照して後述する膜質検査領域のC-C'線における断面図、およびそれらの一部を拡大して示す断面図である。

【0030】図4および図5からわかるように、画素電極9aには、走査線20およびデータ線30に接続する画素スイッチング用のTFT50が形成されている。また、各画素電極9aに向けては容量線75も形成されている。

【0031】TFT50は、図6(A)、(B)に示すように、走査線20と同時形成されたゲート電極3aと、データ線30の一部としてのソース電極6aが第1の層間絶縁膜4の第1のコンタクトホール4aを介して電気的に接続するソース領域1f、1dと、データ線30と同時形成されたアルミニウム膜などから構成されたドレイン電極6dが第1の層間絶縁膜4の第2のコンタクトホール4dを介して電気的に接続するドレイン領域1g、1eとを有している。また、第1の層間絶縁膜4の上層側には第2の層間絶縁膜7が形成されており、この第2の層間絶縁膜7に形成された第3のコンタクトホール8aを介しては、画素電極9aがドレイン電極6dに対して電気的に接続している。

【0032】本形態において、第2の層間絶縁膜7は、ベルヒドロシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜71と、CVD法などにより形成された厚さが約500オングストローム～約15000オングストロームのシリコン酸化膜からなる絶縁膜72との2層構造になっている。ここで、ベルヒドロシラザンとは無機ポリシラザンの一種であり、大気中で焼成することによってシリコン酸化膜に転化する塗布型コーティング材料である。たとえば、東燃（株）製のポリシラザン

は、 $-(SiH_2NH)-$ を単位とする無機ポリマーであり、キシレンなどの有機溶剤に可溶である。従って、この無機ポリマーの有機溶媒溶液（たとえば、20%キシレン溶液）を塗布液としてスピンコート法（たとえば、2000rpm、20秒間）で塗布した後、450℃の温度で大気中で焼成すると、水分や酸素と反応し、CVD法で成膜したシリコン酸化膜と同等以上の緻密なアモルファスのシリコン酸化膜を得ることができる。従って、この方法で成膜した絶縁膜71（シリコン酸化膜）は、層間絶縁膜として用いることができるとともに、ドレイン電極6dに起因する凹凸などを平坦化してくれる。それ故、液晶の配向状態が凹凸に起因して乱れることを防止できる。

【0033】〔静電気対策〕このような構成を有するアクティブマトリクス基板200において、前記のTFT50、各種の配線、走査線駆動回路70、およびデータ線駆動回路60は、半導体プロセスを利用して形成される。ここで、アクティブマトリクス基板200には絶縁基板10が用いられていることから、静電気などに起因する不具合が発生しやすいので、本形態では以下の静電気対策を施してある。

【0034】まず、本形態では、図3に示すように、走査線20およびTFT50のゲート電極を形成する工程を兼用して、すべての信号配線74、77に電気的に接続する第1の短絡用配線91を形成してある。また、走査線20およびTFT50のゲート電極を形成する工程を兼用して、すべての走査線20に電気的に接続する第2の短絡用配線92を形成してある。さらに、走査線20およびTFT50のゲート電極を形成する工程を兼用して、すべてのデータ線30に電気的に接続する第3の短絡用配線93を形成してある。

【0035】ここで、第1、第2、および第3の短絡用配線91、92、93は、あくまで走査線20とTFT50のゲート電極と一括してゲート絶縁膜2と第1の層間絶縁膜4との層間に形成されたタンタル膜である。これに対して、信号配線74、77およびデータ線30は、第1の層間絶縁膜4と第2の層間絶縁膜7との層間に形成されたアルミニウム膜である。従って、第1および第3の短絡用配線91、93は、アルミニウム膜からなる信号配線74、77およびデータ線30とは異なる層間に位置している。

【0036】このため、図7および図6(A)に示すように、第1および第3の短絡用配線91、93と、配線6e（信号配線74、77およびデータ線30）とは、第1の層間絶縁膜4に形成されたコンタクトホール4eを介して電気的に接続している。

【0037】このようにして、第1、第2、および第3の短絡用配線91、92、93をそれぞれ信号配線74、77、走査線20、およびデータ線30に接続しておくこと、これらの配線構造を形成した以降行われる工程



において静電気などが発生しても、この電荷は第1、第2、および第3の短絡用配線91、92、93を介して基板外周側に拡散し、突発的な過剰な電流が走査線20、画像表示領域11、走査線駆動回路70、サンプルホールド回路、およびデータ線駆動回路60に流れないので、これら全ての部分を静電気から保護することができる。

【0038】但し、第1、第2、および第3の短絡用配線91、92、93は、アクティブマトリクス基板200の製造工程が終了した後は不要なので、詳しくは後述するが、図3に「×」印を付した位置で、図6(A)、(B)に示すように、第1の層間絶縁膜4および第2の層間絶縁膜7に切断用孔8bを形成し、この切断用孔8bを介して短絡用配線3b(第1、第2、および第3の短絡用配線91、92、93)にエッチングを行うことによって切断してある。このため、図3において、製造工程の途中まで、第1、第2、および第3の短絡用配線91、92、93はそれぞれ信号配線74、77、走査線20、およびデータ線30に接続しているが、切断用孔を介してのエッチング後は、信号配線74、77、走査線20、およびデータ線30の各々が電気的に分離されることになる。これにより、アクティブマトリクス基板200では、第1、第2、および第3の短絡用配線91、92、93を切断した後であれば、電気特性な検査、および液晶表示装置を製造した後の動作に支障はない。

【0039】ここで、短絡用配線3b(第1、第2、および第3の短絡用配線91、92、93)は、第1の層間絶縁膜4および第2の層間絶縁膜7から露出させて切断するため、第1の層間絶縁膜4には、短絡用配線3bに相当する部分に切断用孔4b(第1の接続用孔)が形成され、第2の層間絶縁膜7には、短絡用配線3bに相当する部分には切断用孔8b(第2の切断用孔)が形成されている。切断用孔8bは、切断用孔4bに重なる位置に切断用孔4bより大きな内径をもって形成されている。

【0040】[静電保護回路] 図3に示した静電保護回路65、75としては、各種回路を利用できるが、図8に示すものでは、保護抵抗66と、プッシュプル配列されたPチャネル型TFT67とNチャネル型TFT68とを利用しており、それぞれの正電源VDDおよび負電源VSSとの間にダイオードを構成する。また、本形態では、第1の短絡用配線91を信号配線73(または74)に接続するのは、必ず、入出力端子45と保護抵抗66との間であり、これにより、入出力端子45あるいは第1の短絡用配線91から入った静電気は、保護抵抗66および静電気保護回路65(または75)を通過しないとデータ線駆動回路60および走査線駆動回路70に達しない。このような構成とすることで、静電気は静電気保護回路65(または75)に確実に吸収され、デ

ータ線駆動回路60および走査線駆動回路70を確実に保護することができる。

【0041】[膜質検査領域] このように形成したアクティブマトリクス基板200については、半導体プロセスを利用して各構成要素を形成した後、図3に「×」印を付した位置で、第1、第2、および第3の短絡用配線91、92、93を切断し、しかる後に、電気的な検査を行う。また、この検査工程において不具合と判定されたものについては、各種の解析が行われ、その結果がフィードバックされる。たとえば、TFT50に対してゲート絶縁膜2とチャネル領域1aの界面の不純物分布などといった膜質を検査し、その結果がフィードバックされる。

【0042】このような検査を行うために、図1および図3に示すように、本形態のアクティブマトリクス基板200には、画像表示領域11、走査線駆動回路70、データ線駆動回路60、信号配線74、77などが形成されていない角部分(図1および図3に向かって右下部分)には、各辺がそれぞれ1mm程度の矩形の膜質検査領域80が形成されている。

【0043】この膜質検査領域80では、図6(A)、(B)に示すように、TFT50のチャネル領域1aおよびゲート絶縁膜2とそれぞれ同層の膜質検査用半導体膜1c(シリコン膜)および膜質検査用絶縁膜2c(シリコン酸化膜)が積層された膜質検査部が形成されている。この膜質検査用絶縁膜2cは、膜質検査領域側に形成された各層間絶縁膜4、71、72の開口部8c(開口部4c、71c、72c)から露出している。また、開口部8cの周りには、後述するように、開口部8cを介してエッチングされた導電膜3cの残りの部分がある。ここで、膜質検査用半導体膜1cは、チャネル領域1aよりもかなり広い面積をもつように形成されている。また、膜質検査用半導体膜1cは、開口部8cの形成領域を含む領域に形成され、この開口部8cの開口面積と比較してひと回り大きい。

【0044】従って、本形態のアクティブマトリクス基板200には、TFT50のチャネル領域1aおよびゲート絶縁膜2とそれぞれ同層の膜質検査用半導体膜1cおよび膜質検査用絶縁膜2cが積層された膜質検査領域80が形成されているので、この膜質検査領域80で検査を行えば、TFT50のゲート絶縁膜2とチャネル領域1aの界面の不純物分布などといった膜質を検査することができる。ここで、膜質検査領域80は、層間絶縁膜4、71、72の開口部8cから露出しているので、すぐに検査に取りかかることができ、TFT50側で検査する場合と違って、層間絶縁膜4、71、72やゲート電極3aを除去する必要がない。それ故、膜質検査を迅速に、かつ、容易に行うことができる。また、このような膜質検査領域80であれば大きく形成しても、TFT50のトランジスタ特性などに影響を及ぼさない。従

って、大きな膜質検査領域 80 を形成することにより、SIMS による分析において、膜質検査領域 80 の一部をラスタースながら深さ方向における元素分析を高い精度で行うことができる。しかも、膜質検査領域 80 は、トランジスタのチャネル領域と比較してかなり大きな面積、たとえば、約  $1\text{mm}^2$  の面積を有しているのので、SIMS による元素分析に加えて、ラマン散乱分析などを利用して膜質検査用半導体膜 1c (チャネル領域 1a) の結晶化度も検査できる。それ故、アモルファス半導体膜に対して結晶化処理を行って得た多結晶性半導体膜から形成した TFT50 を検査するのに効果的である。

【0045】さらに、本形態において、膜質検査領域 80 は、図 1 からわかるように、アクティブマトリクス基板 200 のうち、対向基板 100 からはみ出した位置に形成されている。従って、アクティブマトリクス基板 200 の段階に限らず、アクティブマトリクス基板 200 と対向基板 100 とを貼り合わせて電気光学装置 300 を組み立てて点灯検査などを行った後、膜質検査領域 80 での膜質検査を行うこともできる。

【0046】[アクティブマトリクス基板 200 の製造方法] このような膜質検査領域 80 を形成し、かつ、静電保護対策を行いながら、アクティブマトリクス基板 200 を製造する方法を、図 9 ないし図 11 を参照して説明する。これらの図はいずれも、本形態のアクティブマトリクス基板 200 の製造方法を示す工程断面図であり、いずれの図においても、その左側部分には図 4 の A-A' 線における断面 (画素 TFT 部の断面)、中央部分には図 7 の B-B' 線における断面 (短絡用配線の切断が行われる静電気対策配線部 (図 3 に「X」印を付した部分) の断面)、右側部分には図 1 の C-C' 線における断面 (膜質検査領域 80 の断面) を示してある。

【0047】まず、図 9 (A) に示すように、ガラス基板、たとえば無アリカリガラスや石英などからなる透明な絶縁基板 10 の表面に直接、あるいは絶縁基板 10 の表面に形成した下地保護膜 (図示せず。) の表面全体に、減圧 CVD 法などにより厚さが約 200 オングストローム～約 2000 オングストローム、好ましくは約 1000 オングストロームのポリシリコン膜からなる半導体膜 1 を形成した後、図 9 (B) に示すように、それをフォトリソグラフィ技術を用いて、パターニングし、画素 TFT 部に島状の半導体膜 1h (能動層) を形成する。また、膜質検査領域 80 に島状の膜質検査用半導体膜 1c を形成する。これに対して、静電気対策配線部の側では半導体膜 1 を完全に除去する。

【0048】このような半導体膜 1 の形成は、低温プロセスにてアモルファスシリコン膜を堆積した後、レーザアニールなどの方法で結晶化させてポリシリコン膜を得る。

【0049】次に、図 9 (C) に示すように、CVD 法などによりたとえば  $400^\circ\text{C}$  程度の温度条件下で絶縁基

板 10 の全面に厚さが約 500 オングストローム～約 1500 オングストロームのシリコン酸化膜を形成する。その結果、画素 TFT 部では島状の半導体膜 1h の表面にゲート絶縁膜 2 が形成され、膜質検査領域 80 では島状の膜質検査用半導体膜 1c の表面に膜質検査用絶縁膜 2c が形成される。

【0050】次に、図 9 (D) に示すように、ゲート電極などを形成するためのタンタル膜 3 を絶縁基板 10 全面に形成した後、タンタル膜 3 をフォトリソグラフィ技術を用いて、図 9 (E) に示すように、パターニングし、画素 TFT 部の側にゲート電極 3a を形成する。また、膜質検査領域 80 に導電膜 3c を残す。これに対して、静電気対策配線部には、タンタル膜を短絡用配線 3b (第 1、第 2、および第 3 の短絡用配線 91、92、93 に相当する。) として残す。

【0051】次に、図 9 (F) に示すように、画素 TFT 部および駆動回路の N チャネル TFT 部の側には、ゲート電極 3a をマスクとして、約  $0.1 \times 10^{11}/\text{cm}^2$  ～約  $10 \times 10^{11}/\text{cm}^2$  のドーズ量で低濃度の不純物イオン (リンイオン) の打ち込みを行い、画素 TFT 部の側には、ゲート電極 3a に対して自己整合的に低濃度のソース領域 1f、および低濃度のドレイン領域 1g を形成する。ここで、ゲート電極 3a の真下に位置しているため、不純物イオンが導入されなかった部分はチャネル領域 1a となる。このとき、膜質検査領域 80 では、チャネル領域 1a と同様、膜質検査用半導体膜 1c は導電膜 3c で覆われているので、不純物は導入されない。

【0052】次に、図 10 (A) に示すように、画素 TFT 部では、ゲート電極 3a より幅の広いレジストマスク RM1 を形成して高濃度の不純物イオン (リンイオン) を約  $0.1 \times 10^{11}/\text{cm}^2$  ～約  $10 \times 10^{11}/\text{cm}^2$  のドーズ量で打ち込み、高濃度のソース領域 1d およびドレイン領域 1e を形成する。このときも、膜質検査領域 80 では、チャネル領域 1a と同様、膜質検査用半導体膜 1c は導電膜 3c で覆われているので、不純物は導入されない。

【0053】これらの不純物導入工程に代えて、低濃度の不純物の打ち込みを行わずにゲート電極 3a より幅の広いレジストマスク RM1 を形成した状態で高濃度の不純物 (リンイオン) を打ち込み、オフセット構造のソース領域およびドレイン領域を形成してもよい。また、ゲート電極 3a の上に高濃度の不純物 (リンイオン) を打ち込んで、セルフアライン構造のソース領域およびドレイン領域を形成してもよいことは勿論である。

【0054】また、図示を省略するが、周辺駆動回路の P チャネル TFT 部を形成するために、前記画素部および N チャネル TFT 部をレジストで被覆保護して、ゲート電極をマスクとして、約  $0.1 \times 10^{11}/\text{cm}^2$  ～約  $10 \times 10^{11}/\text{cm}^2$  のドーズ量でボロンイオンを

打ち込むことにより、自己整合的にPチャネルのソース・ドレイン領域を形成する。なお、NチャネルTFT部の形成時と同様に、ゲート電極をマスクとして、約 $0.1 \times 10^{11} / \text{cm}^2 \sim 10 \times 10^{11} / \text{cm}^2$ のドーザ量で低濃度の不純物（ボロニオン）を導入して、ポリシリコン膜に低濃度領域を形成した後、ゲート電極よりの幅の広いマスクを形成して高濃度の不純物（ボロニオン）を約 $0.1 \times 10^{11} / \text{cm}^2 \sim 10 \times 10^{11} / \text{cm}^2$ のドーザ量で打ち込み、LDD構造（ライトリー・ドープト・ドレイン構造）のソース領域およびドレイン領域を形成してもよい。また、低濃度の不純物の打ち込みを行わずに、ゲート電極より幅の広いマスクを形成した状態で高濃度の不純物（リンイオン）を打ち込み、オフセット構造のソース領域およびドレイン領域を形成してもよい。これらのイオン打ち込み工程によって、CMOS化が可能になり、周辺駆動回路の同一基板内への内蔵化が可能となる。

【0055】次に、図10(B)に示すように、ゲート電極3a、短絡用配線3bおよび導電膜3cの表面側にCVD法などにより、たとえば400℃程度の温度条件下で酸化シリコン膜やNSG膜（ボロンやリンを含まないシリケートガラス膜）などからなる第1の層間絶縁膜4を3000オングストローム～15000オングストローム程度の膜厚で形成する。

【0056】次に、フォトリソグラフィ技術を用いて、第1の層間絶縁膜4にコンタクトホール、切断用孔および開口部を形成するためのレジストマスクRM2を形成する。

【0057】次に、図10(C)に示すように、画素TFT部の側では第1の層間絶縁膜4のうち、ソース領域1dおよびドレイン領域1eに対応する部分、静電気対策配線部の側では第1の層間絶縁膜4のうち、各短絡用配線3bに対応する部分の一部、膜質検査領域80の側では第1の層間絶縁膜4のうち、導電膜3cに対応する部分の一部にコンタクトホール4a、4d、4e、切断用孔4bおよび開口部4cをそれぞれ形成する。その結果、静電気対策配線部の側では、短絡用配線3bの切断予定部分が露出した状態となる。また、膜質検査領域80では、導電膜3cが露出した状態となる。そして、レジストマスクRM2を除去する。

【0058】次に、図10(D)に示すように、第1の層間絶縁膜4の表面側に、ソース電極などを構成するためのアルミニウム膜6をスパッタ法などで形成する。

【0059】次に、フォトリソグラフィ技術を用いて、アルミニウム膜6をパターニングするためのレジストマスクRM3を形成する。

【0060】次に、図10(E)に示すように、アルミニウム膜6をパターニングし、画素TFT部では、データ線30の一部としてソース領域1aに第1のコンタクトホール4aを介して電氣的に接続するアルミニウム膜

からなるソース電極6aと、ドレイン領域1eに第2のコンタクトホール4dを介して電氣的に接続するドレイン電極6dとを形成する。また、静電気対策配線部では、アルミニウム膜からなる各種の配線6e（データ線30や信号配線74、77）をコンタクトホール4eを介して短絡用配線3bに電氣的に接続させる。これに対して、膜質検査領域80ではアルミニウム膜6を完全に除去する。

【0061】このように、図10(C)～(E)の工程を利用して、図7を参照して説明した第1および第3の短絡用配線91、93と、信号線74、77およびデータ線30との配線接続を行う。また、静電気対策配線部の側では、短絡用配線3bの切断予定部分が露出した状態となる。そして、レジストマスクRM3を除去する。

【0062】次に、図11(A)に示すように、ソース電極6a、配線6eおよび第2のパッド下配線6cの表面側に、ペルヒドロシラザンまたはこれを含む組成物の塗布膜を焼成した絶縁膜71を形成する。さらに、この絶縁膜71の表面に、TEOSを用いたCVD法によりたとえば400℃程度の温度条件下で厚さが約500オングストローム～約15000オングストロームのシリコン酸化膜からなる絶縁膜72を形成する。これらの絶縁膜71、72によって第2の層間絶縁膜7が形成される。

【0063】次に、フォトリソグラフィ技術を用いて、第2の層間絶縁膜7にコンタクトホール、切断用孔および開口部を形成するためのレジストマスクRM4を形成する。

【0064】次に、図11(B)に示すように、第2の層間絶縁膜7を構成する絶縁膜71、72に対して、ドレイン電極6dに対応する部分にコンタクトホール71a、72aからなる第3のコンタクトホール8aを形成する。

【0065】このとき、静電気対策配線部において、短絡用配線3b（第1、第2、および第3の短絡用配線91、92、93に相当する。）の切断予定部分では、第2の層間絶縁膜7を構成する絶縁膜71、72に対して切断用孔71b、72bからなる切断用孔8bを構成する。従って、短絡用配線3bの切断予定部分が露出した状態となる。

【0066】また、膜質検査領域80では、第2の層間絶縁膜7を構成する絶縁膜71、72に対して開口部71c、72cを形成し、導電膜3cを露出させる開口部8cを形成する。そして、レジストマスクRM4を除去する。

【0067】次に、図11(C)に示すように、第2の層間絶縁膜7の表面側に、ドレイン電極を構成するための厚さが約400オングストローム～約2000オングストロームのITO膜9（Indium Tin Oxide）をスパッタ法などで形成する。

10

20

30

40

50

【0068】次に、フォトリソグラフィ技術を用いて、ITO膜9をパターニングするためのレジストマスクRM5を形成する。

【0069】そして、レジストマスクRM5を用いて、ITO膜9をパターニングする。その結果、図6

(A)、(B)に示すように、画素TF T部には、第3のコンタクトホール8aを介してドレイン電極6dに電氣的に接続する画素電極9aが形成される。静電気対策配線部ではITO膜9が完全に除去される。膜質検査領域80でもITO膜9が完全に除去される。

【0070】また、本形態では、ITO膜9をパターニングした際には、静電気対策配線部の側で短絡用配線3bの切断予定部分が切断され、この切断部によって各配線が分離される。このように製造工程の最終工程で短絡用配線3bを切断するので、それ以前の多くの工程で発生する静電気に対して有効である。すなわち、信号配線74、77(配線6e)を第1の短絡用配線91(短絡用配線3b)で電氣的に接続した状態で各工程を行う。従って、静電気が発生したり、絶縁基板表面に電荷が蓄積されても、かかる電荷を第1の短絡用配線91を介して基板外周側に拡散させるので、過剰な電流がデータ線駆動回路60および走査線駆動回路70に突発的に流れない。それ故、データ線駆動回路60および走査線駆動回路70を保護することができる。また、走査線20の各々に電氣的に接続する第2の短絡用配線92(短絡用配線3b)を利用して過剰な電流が走査線20に突発的に流れることを防止するので、走査線20や画面表示領域11を保護することができる。さらに、データ線30(配線6e)の各々に電氣的に接続する第3の短絡用配線93(短絡用配線3b)を利用して過剰な電流がデータ線30に突発的に流れることを防止するので、データ線30、サンプルホールド回路、および画面表示領域11を保護することができる。

【0071】さらに、膜質検査領域80では、開口部8cから露出していた導電膜3cが除去され、膜質検査用絶縁膜2cが開口部8cから露出した状態となる。従って、以降、開口部8cを介して膜質検査用絶縁膜2cおよび膜質検査用半導体膜1cの膜質検査をすぐに行うことができる。しかも、膜質検査用絶縁膜2cおよび膜質検査用半導体膜1cは、TF T50のゲート絶縁膜2およびチャネル領域1aと略同様の履歴を辿ることになるので、膜質検査用絶縁膜2cおよび膜質検査用半導体膜1hを検査対象としたときでも、より高い精度で、TF T50のゲート絶縁膜2およびチャネル領域の膜質を検査できる。

【0072】また、静電保護用の短絡線6bを切断する工程を利用して、膜質検査領域80を露出させるので、工程数が増えることがない。ここで、静電保護を行うにあたって、短絡用配線3bを走査線20などと同時に形成し、第1の層間絶縁膜4に第1および第2のコン

タクトホール4a、4dを形成する際に切断用孔4bを同時に形成し、さらに第2の層間絶縁膜7に第3のコンタクトホール8aを形成する際に切断用孔8bを形成する。それ故、画素電極9aとドレイン領域1eとをドレイン電極6dを中継して電氣的に接続する場合でも、TF Tを製造していく工程の中で第1の層間絶縁膜4および第2の層間絶縁膜7から短絡用配線3bを露出させ、切断することができ、最小限の工程数で静電保護を行うことができる。

10 【0073】[その他の実施形態] なお、上記形態では、膜質検査用半導体膜1cは、開口部8cの形成領域を含む領域に形成されていたが、図12に示すように、膜質検査用半導体膜1cが開口部8cの内側に形成されている構成であってもよい。

【0074】また、上記形態では、電気光学装置の組み立てに用いるアクティブマトリクス基板に本発明を適用したが、アクティブマトリクス基板を製造する際に、試験的に流して工程条件を確認するためのテスト基板に本発明を適用してもよい。

20 【0075】さらに、本発明は上記形態に限定されることなく、本発明の要旨の範囲内で種々変形した形態で実施が可能である。たとえば、本発明は上述の各種の液晶表示装置に限らず、エレクトロルミネッセンス、プラズマディスプレイ装置にも適用できる。さらにまた、本発明は、SOI(Silicon On Insulator)基板やSOS(Silicon On Sapphire)基板を用いた場合にも適用できる。

【0076】

30 【発明の効果】以上説明したように、本発明では、トランジスタのチャネル領域およびゲート絶縁膜のそれぞれと同層の膜質検査用半導体膜および膜質検査用絶縁膜が積層された膜質検査領域が形成されているので、この膜質検査領域で検査を行えば、トランジスタのゲート絶縁膜とチャネル領域の界面の不純物分布などといった膜質を検査することができる。ここで、膜質検査領域は、層間絶縁膜と同層の検査領域側絶縁膜の開口部から露出しているので、すぐに検査に取りかかることができ、トランジスタ側で検査する場合と違って、層間絶縁膜やゲート電極を除去する必要がない。それ故、膜質検査を迅速に行うことができる。また、膜質検査領域であれば大きく形成しても、トランジスタのトランジスタ特性などに影響を及ぼさない。従って、大きな膜質検査領域を形成することにより、SIMSによる検査を高い精度で行うことができる。また、SIMSによる検査に加えて、ラマン散乱分析などを利用して膜質検査用半導体膜(チャネル領域)の結晶化度も検査できる。

【図面の簡単な説明】

【図1】本発明を適用した電気光学装置を対向基板の側からみた平面図である。

50 【図2】図1のH-H'線で切断したときの電気光学装

置の断面図である。

【図3】図1に示す液晶表示パネルに用いたアクティブマトリクス基板のブロック図である。

【図4】図3に示すアクティブマトリクス基板の画素部のコーナー部分を拡大して示す平面図である。

【図5】図3に示すアクティブマトリクス基板の画素の等価回路図である。

【図6】(A)、(B)はそれぞれ、図4の画素TFT部のA-A'線、図7の静電静電気対策部のB-B'線、図1の膜質検査領域のC-C'線における断面図、およびそれらの一部を拡大して示す断面図である。

【図7】図3に示すアクティブマトリクス基板における信号配線と短絡用配線との接続構造を示す平面図である。

【図8】図3に示すアクティブマトリクス基板に構成した静電保護回路の回路図である。

【図9】図3に示すアクティブマトリクス基板の製造方法を示す工程断面図である。

【図10】図9に示す工程に続いて行う各工程の工程断面図である。

【図11】図10に示す工程に続いて行う各工程の工程断面図である。

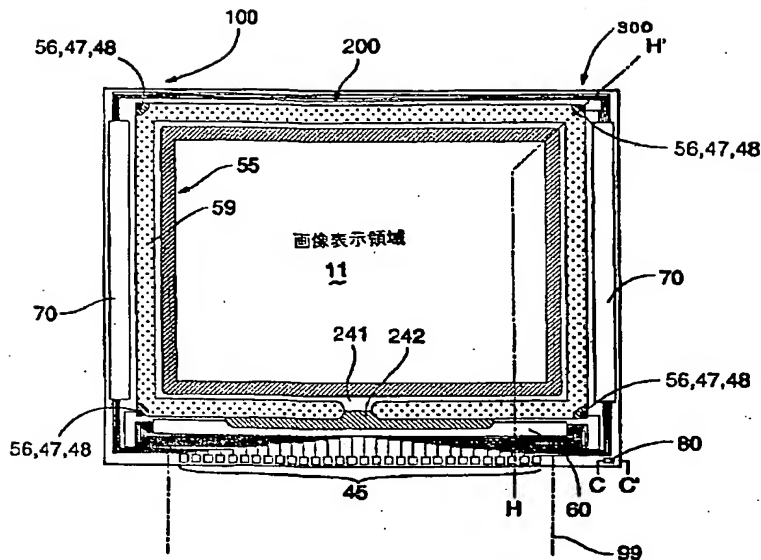
【図12】本発明を適用した別のアクティブマトリクス基板に形成した膜質検査領域の構成を示す断面図である。

#### 【符号の説明】

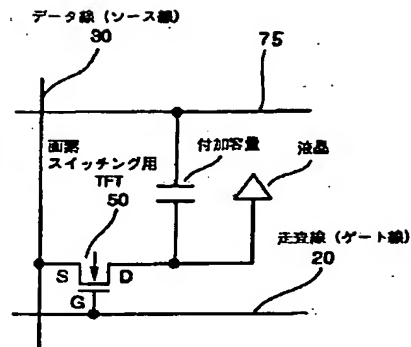
- 1 半導体膜
- 1 a チャネル領域
- 1 d ソース領域
- 1 e ドレイン領域
- 1 f LDD領域
- 1 g LDD領域
- 1 h 島状の半導体膜
- 1 c 膜質検査用半導体膜
- 2 ゲート絶縁膜
- 2 c 膜質検査用絶縁膜
- 3 ゲート電極
- 3 a ゲート電極
- 3 b 短絡用配線
- 3 c 導電膜
- 4 第1の層間絶縁膜
- 4 a 第1のコンタクトホール
- 4 b 切断用孔(第1の切断用孔)
- 4 d 第2のコンタクトホール
- 4 e 第1の層間絶縁膜に形成されたコンタクトホール
- 5 b、8 b 切断用孔
- 6 a ソース電極

- 6 c 第2のバット下配線
- 6 d ドレイン電極
- 6 e 配線
- 7 第2の層間絶縁膜
- 8 a 第3のコンタクトホール
- 8 b 切断用孔(第2の切断用孔)
- 8 c 開口部
- 9 a 画素電極
- 10 絶縁基板
- 11 画面表示領域
- 20 走査線
- 30 データ線
- 32 対向電極
- 39 液晶層
- 40 液晶封入領域
- 41 絶縁基板
- 45 入出力端子
- 47 上下導通材
- 48 上下導通材
- 50 TFT
- 55 遮光膜
- 56 導通材
- 57 遮光膜
- 59 シール材
- 60 データ線駆動回路
- 65 静電保護回路
- 66 保護抵抗
- 70 走査線駆動回路
- 75 静電保護回路
- 71 ポリシラザンを用いた絶縁膜
- 71 a コンタクトホール
- 71 b コンタクトホール
- 71 c コンタクトホール
- 72 CVD法で形成した絶縁膜
- 72 a コンタクトホール
- 72 b コンタクトホール
- 73 c コンタクトホール
- 74、77 信号配線
- 75 容量線
- 80 膜質検査領域
- 91 第1の短絡用配線
- 92 第2の短絡用配線
- 93 第3の短絡用配線
- 100 対向基板
- 200 アクティブマトリクス基板
- 300 電気光学装置

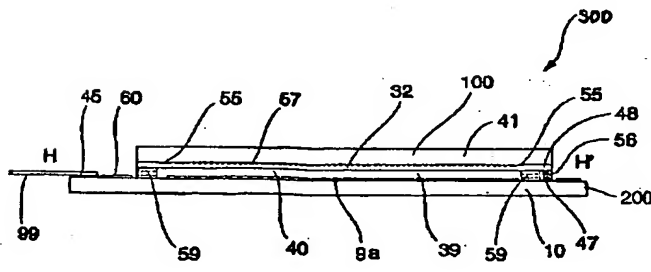
【図 1】



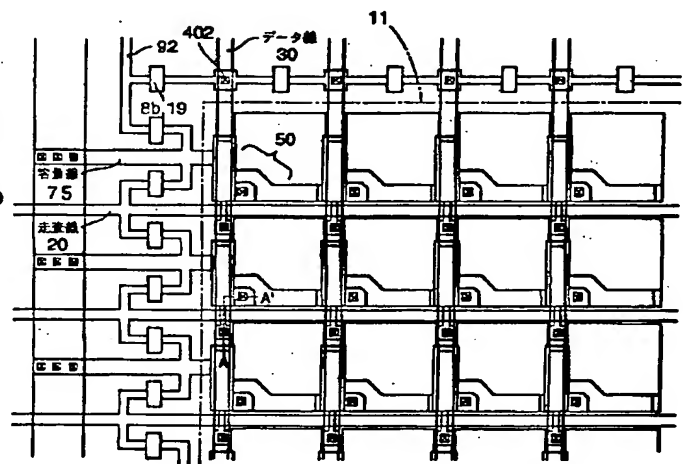
【図 5】



【図 2】

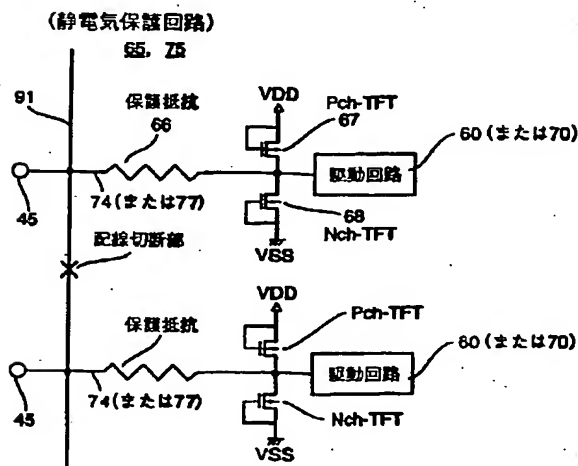


【図 4】

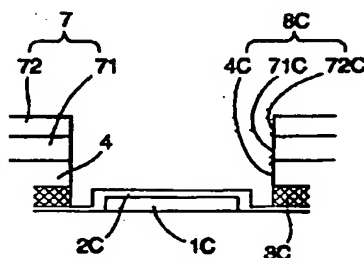


&lt; 画素表示領域コーナー平面図 &gt;

【図 8】

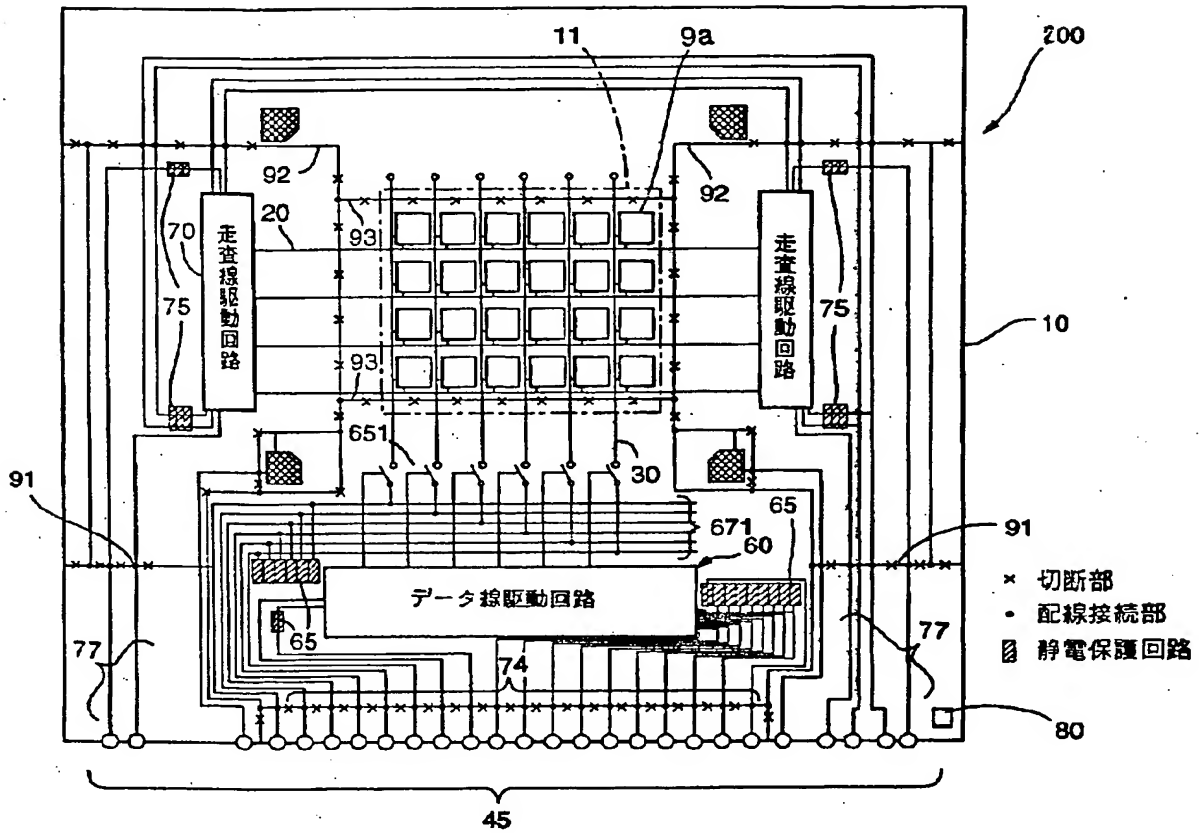


【図 12】

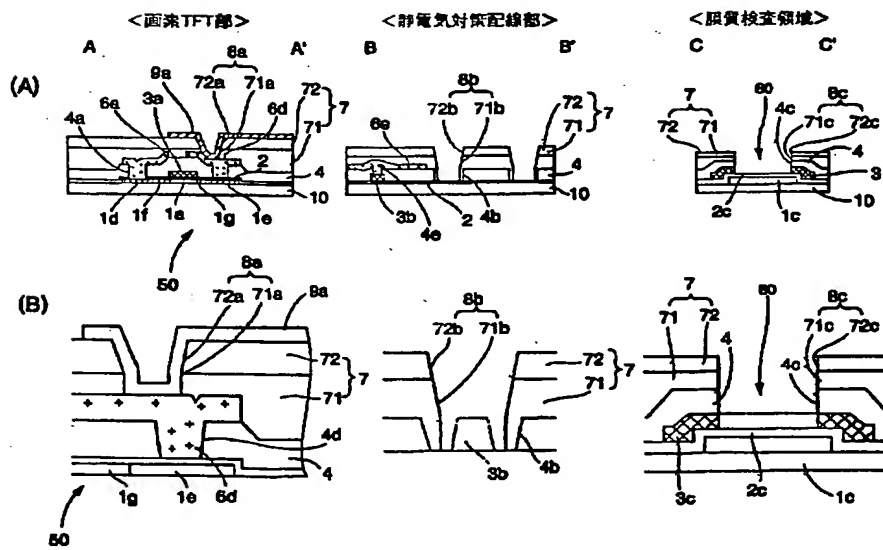




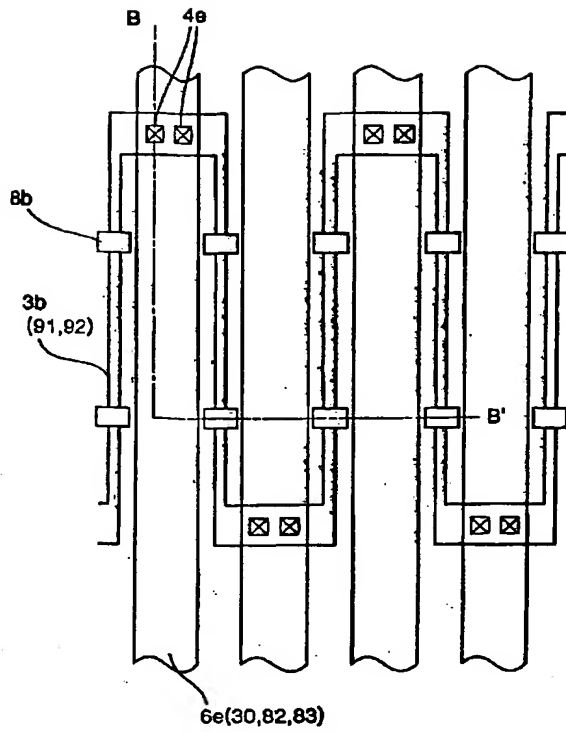
【図3】



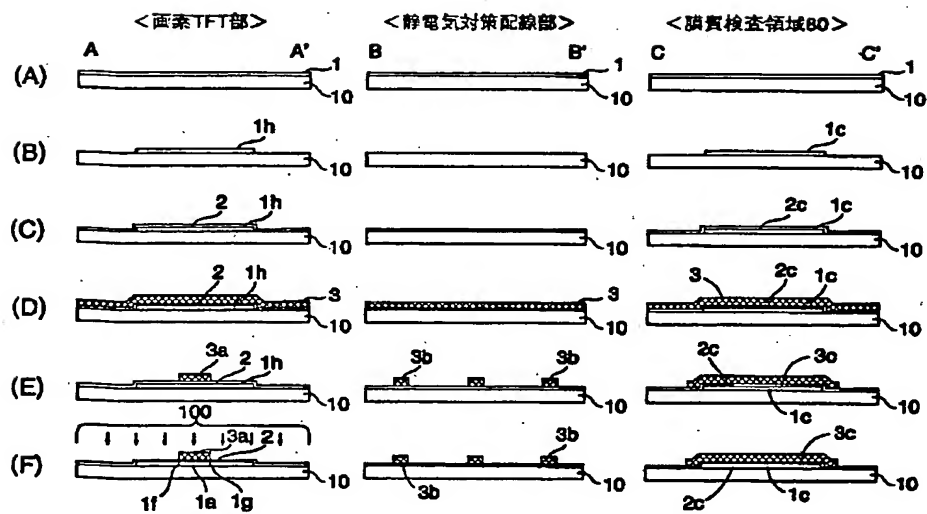
【図6】



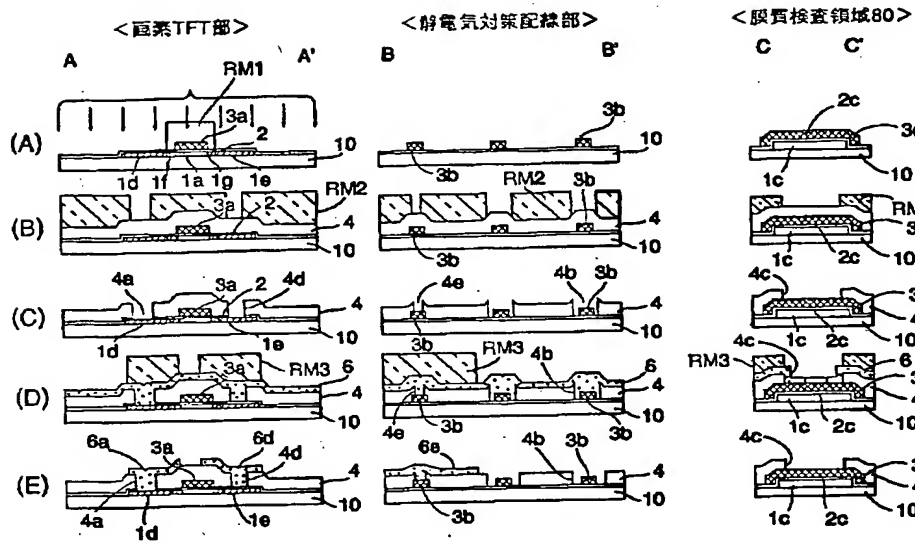
【図7】



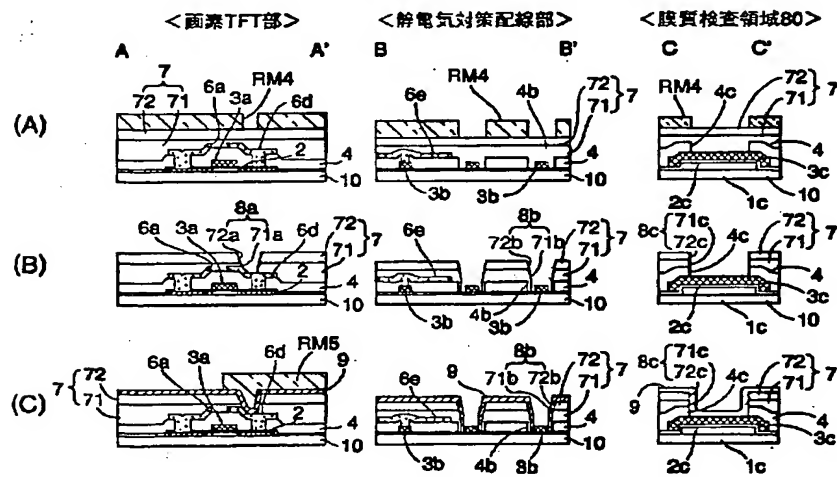
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl.<sup>7</sup>H01L 27/12  
29/786

識別記号

FI

H01L 27/12  
29/78

テラード (参考)

T  
612A  
624

Fターム(参考) 2H092 GA29 HA28 JA24 JA37 JA41  
JA46 JB22 JB31 JB51 JB77  
JB79 KA05 KB25 MA05 MA07  
MA13 NA14 NA19 NA27 NA30  
PA01 PA03 RA05  
4M106 AA10 AA12 AA20 BA14 CB02  
CB19 DH11 DH55  
5C080 AA10 BB05 DD15 DD19 DD28  
FF11 GG09 JJ02 JJ03 JJ06  
5C094 AA00 AA42 BA03 BA27 BA31  
BA43 CA19 DA13 FA01 FA02  
FB12 FB15 GB10  
5F110 AA17 AA18 AA22 AA24 BB02  
BB04 CC02 CC08 DD02 DD03  
EE04 FF02 FF29 GG02 GG13  
GG24 GG25 GG47 HJ01 HJ04  
HJ13 HL03 HL07 HL23 HM14  
NN03 NN04 NN22 NN23 NN35  
NN36 NN40 PP03 QQ01 QQ11  
QQ19